

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード(参考)	
H 0 1 L 27/105		G 1 1 C 29/00	6 0 3 J	5 B 0 2 5
G 1 1 C 16/04			6 0 3 K	5 F 0 0 1
16/06		H 0 1 L 27/10	4 6 1	5 F 0 8 3
29/00	6 0 3		4 9 1	5 L 1 0 6
			4 4 1	

審査請求 未請求 請求項の数21 O L (全 24 頁) 最終頁に続く

(21) 出願番号 特願2000-184528(P2000-184528)

(22) 出願日 平成12年6月14日(2000. 6. 14)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 宿利 章二

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(74) 代理人 100089071

弁理士 玉村 静世

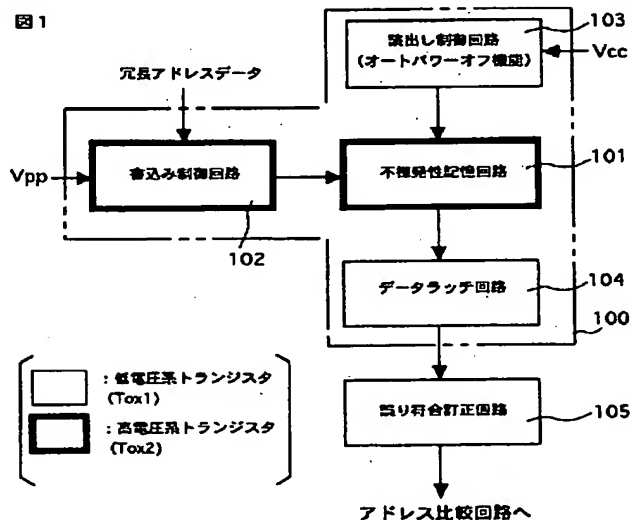
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 スタティクラッチ形態に接続された不揮発性記憶トランジスタによる長期の情報保持性能を向上させる。

【解決手段】 不揮発性メモリは、負荷と不揮発性記憶トランジスタの直列回路を一对有しそれらがスタティクラッチ形態に接続された不揮発性記憶回路(101)、不揮発性記憶回路に情報を記憶させるプログラム制御回路(102)、不揮発性記憶回路の記憶情報をラッチ可能な揮発性ラッチ回路(104)、及び不揮発性記憶回路の記憶情報を揮発性ラッチ回路にラッチさせる読み出し制御回路(103)を備える。読み出し制御回路は、読み出し動作の指示に应答して不揮発性記憶回路にスタティクラッチ動作の動作電源を供給し、ラッチ動作の完了後に動作電源の供給を断つ。これにより、不揮発性記憶トランジスタが無用なチャージゲインやチャージロスを生ずる電圧状態にさらされる期間が短くなる。



1

## 【特許請求の範囲】

【請求項1】 半導体基板上に不揮発性メモリを有する半導体装置であって、前記不揮発性メモリは、負荷と不揮発性記憶トランジスタの直列回路を一对有しそれらがスタティックラッチ形態に接続されて成る複数個の不揮発性記憶回路と、前記不揮発性記憶回路に情報を記憶させるプログラム制御回路と、前記不揮発性記憶回路の記憶情報をラッチ可能な揮発性ラッチ回路と、前記不揮発性記憶回路の記憶情報を前記揮発性ラッチ回路にラッチさせる読み出し制御回路と、を備えて成るものであることを特徴とする半導体装置。

【請求項2】 前記読み出し制御回路は、読み出し動作の指示に応答して前記不揮発性記憶回路にスタティックラッチ動作の為の動作電源を供給し、スタティックラッチ動作に応答して揮発性ラッチ回路がラッチ動作を完了した後に前記動作電源の供給を断つものであることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記読み出し動作の指示は、半導体装置に対するリセット指示に応答して与えられるものであることを特徴とする請求項2記載の半導体装置。

【請求項4】 前記揮発性ラッチ回路がラッチした情報を入力して誤りの訂正が可能なECC回路を備えて成るものであることを特徴とする請求項2又は3記載の半導体装置。

【請求項5】 前記不揮発性記憶回路において、前記負荷はソース、ドレイン及びゲートを備える第1導電型の負荷トランジスタであり、前記不揮発性記憶トランジスタはソース、ドレイン、フローティングゲート、及びコントロールゲートを備え第2導電型を有し、

前記負荷と不揮発性記憶トランジスタの直列回路は、前記負荷トランジスタに前記不揮発性記憶トランジスタを結合した出力ノードと、前記負荷トランジスタのゲートに前記不揮発性記憶トランジスタのコントロールゲートを結合した制御ノードを有し、

相互に一方の直列回路の出力ノードが他方の直列回路の制御ノードに接続されたスタティックラッチ形態を有し、

双方の直列回路における出力ノードに相補データ線を接続して成るものであることを特徴とする請求項1記載の半導体装置。

【請求項6】 前記不揮発性記憶回路において、前記負荷はソース、ドレイン及びゲートを備える第1導電型の負荷トランジスタであり、前記不揮発性記憶トランジスタはソース、ドレイン、フローティングゲート、及びコントロールゲートを備え第2導電型を有し、

前記負荷と不揮発性記憶トランジスタの直列回路は、前記負荷トランジスタに前記不揮発性記憶トランジスタを結合した出力ノードと、前記出力ノードに結合された前記不揮発性記憶トランジスタに別の不揮発性記憶トランジスタを直列接続するプログラムノードと、前記負荷ト

2

ランジスタのゲート及び前記不揮発性記憶トランジスタのコントロールゲートに共通結合された制御ノードを有し、

前記一对の直列回路は、相互に一方の直列回路の出力ノードが他方の直列回路の制御ノードに接続されたスタティックラッチ形態を有し、

双方の直列回路における出力ノードに相補データ線を接続し、双方の直列回路におけるプログラムノードに相補プログラム制御線を接続して成るものであることを特徴とする請求項1記載の半導体装置。

【請求項7】 前記不揮発性記憶トランジスタは、第1導電型の半導体領域に形成された第2導電型のソース及びドレインと、前記ソース及びドレインの間のチャンネルの上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたフローティングゲートとを有するMISトランジスタと、前記フローティングゲートの延在部分の下にゲート絶縁膜を介して形成された第2導電型の半導体領域から成るコントロールゲートとから構成されて成るものであることを特徴とする1記載の半導体装置。

【請求項8】 前記不揮発性記憶回路及びプログラム制御回路に含まれるMISトランジスタは高電圧動作MISトランジスタであり、前記揮発性ラッチ回路及び読み出し制御回路に含まれるMISトランジスタは低電圧動作MISトランジスタであることを特徴とする請求項7記載の半導体装置。

【請求項9】 前記半導体基板上に各々MISトランジスタを有するロジック回路及び外部インタフェース回路を更に含み、前記不揮発性記憶トランジスタのゲート絶縁膜と、前記外部インタフェース回路が有するMISトランジスタのゲート絶縁膜とは、ほぼ等しい膜厚を有するものであることを特徴とする請求項7記載の半導体装置。

【請求項10】 前記半導体基板上に各々MISトランジスタを有するロジック回路及び外部インタフェース回路を更に含み、前記不揮発性記憶トランジスタのゲート絶縁膜は、前記ロジック回路が有するMISトランジスタのゲート絶縁膜よりも厚く形成されて成るものであることを特徴とする請求項7記載の半導体装置。

【請求項11】 前記半導体基板上に、被救済回路と、前記被救済回路を代替する救済回路とを含み、前記不揮発性記憶回路は、前記救済回路で代替すべき被救済回路を特定する救済情報の記憶回路であることを特徴とする請求項1記載の半導体装置。

【請求項12】 前記被救済回路に対する別の救済情報記憶回路として、ヒューズ素子の溶断状態に応じて救済情報を記憶するヒューズプログラム回路を更に有して成るものであることを特徴とする請求項11記載の半導体装置。

【請求項13】 前記被救済回路はDRAM内蔵のメモリセルアレイであることを特徴とする請求項11又は1

3

2記載の半導体装置。

【請求項14】 前記被救済回路はマイクロコンピュータ内蔵DRAMのメモリセルアレイであることを特徴とする請求項11又は12記載の半導体装置。

【請求項15】 前記被救済回路はマイクロコンピュータ内蔵SRAMのメモリセルアレイであることを特徴とする請求項11又は12記載の半導体集積回路。

【請求項16】 前記複数個の不揮発性記憶回路の一部は残りの不揮発性記憶回路が保持する前記救済情報に対する誤り訂正コードを保持する領域とされ、前記複数個の不揮発性記憶回路の読み出し情報に対して誤り訂正が可能なECC回路を有して成るものであることを特徴とする請求項11又は12記載の半導体装置。

【請求項17】 前記プログラム制御回路は、前記不揮発性記憶回路に対するプログラム動作が禁止される動作モードを有して成るものであることを特徴とする請求項16記載の半導体集積回路。

【請求項18】 半導体基板上に不揮発性メモリを有する半導体装置であって、前記不揮発性メモリは、負荷と複数個の不揮発性記憶トランジスタの直列回路を一对スタティックラッチ形態に接続して成る複数個の不揮発性記憶回路を備えて成るものであることを特徴とする半導体装置。

【請求項19】 前記不揮発性記憶回路において、前記負荷はソース、ドレイン及びゲートを備える第1導電型の負荷トランジスタであり、前記不揮発性記憶トランジスタはソース、ドレイン、フローティングゲート、及びコントロールゲートを備え第2導電型を有し、

前記負荷と不揮発性記憶トランジスタの直列回路は、前記負荷トランジスタに前記不揮発性記憶トランジスタを結合した出力ノードと、前記出力ノードに結合された前記不揮発性記憶トランジスタに別の不揮発性記憶トランジスタを直列接続するプログラムノードと、前記負荷トランジスタのゲート及び前記不揮発性記憶トランジスタのコントロールゲートに共通結合された制御ノードを有し、

前記一对の直列回路は、相互に一方の直列回路の出力ノードが他方の直列回路の制御ノードに接続されたスタティックラッチ形態を有し、

双方の直列回路における出力ノードに相補データ線を接続し、双方の直列回路における制御ノードに相補書き込み制御線を接続して成るものであることを特徴とする請求項18記載の半導体装置。

【請求項20】 前記不揮発性記憶トランジスタは、第1導電型の半導体領域に形成された第2導電型のソース及びドレインと、前記ソース及びドレインの間のチャンネルの上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたフローティングゲートとを有するMISトランジスタと、前記フローティングゲートの延在部分の下にゲート絶縁膜を介して形成された第2導電型の半

4

導体領域から成るコントロールゲートとから構成されて成るものであることを特徴とする18記載の半導体装置。

【請求項21】 前記半導体基板上に、被救済回路と、前記被救済回路を代替する救済回路とを含み、前記不揮発性記憶回路は、前記救済回路で代替すべき被救済回路を特定する救済情報の記憶回路であることを特徴とする請求項18記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電氣的に消去及び書き込み可能な不揮発性記憶素子を有する半導体装置に関し、例えば、複数の不揮発性記憶素子含むフリップフロップ（不揮発性記憶回路）を記憶単位として使用する不揮発性メモリを有する半導体装置に適用して有効な技術に関する。

【0002】

【従来の技術】記憶するデータを所定の単位で一括して電氣的に消去可能であり、かつ、データを電氣的に書き込み可能な不揮発性記憶装置として、フラッシュEEPROM（以下、フラッシュメモリという）が提供されている。フラッシュメモリは、電氣的に消去及び書き込み可能な不揮発性記憶素子によってメモリセルが構成されており、一旦メモリセルに書き込まれたデータやプログラムを消去し、新たなデータやプログラムをメモリセルへ再度書き込み（プログラミング）する事が可能である。

【0003】それ故、このフラッシュメモリあるいはフラッシュメモリを内蔵するマイクロコンピュータを応用システムに組み込んだ後、データの変更、プログラムのバグの修正、あるいはプログラムの更新等が必要になった場合、フラッシュメモリに記憶されたデータやプログラムを応用システム上で変更できるので、応用システムの開発期間の短縮化が図れ、また、応用システムのプログラム開発に柔軟性を得ることができる。

【0004】一方、近年、1つの半導体基板上に、データ制御装置としての中央処理装置（以下、CPUとも言う）、大規模記憶装置としてのDRAM（ダイナミック・ランダム・アクセスメモリ）、高速な記憶装置乃至キャッシュメモリとしてのSRAM（スタティック・ランダム・アクセスメモリ）およびその他の機能回路を形成し、1つの半導体装置で1つのシステムを構成できるようにしたシステム半導体装置（以下、システムLSIとも言う）も提供されている。このようなシステムLSIは、プリント基板や実装基板の小型化などに寄与し、特に、携帯電話や携帯用データ端末装置などの携帯用機器の小型化・軽量化に有効である。

【0005】本発明者らは、本発明を完成した後、下記の観点A及び観点Bについて公知例調査を行った。

【0006】観点Aは、単層のポリシリコンゲートで不

10

20

30

40

50

揮発性記憶トランジスタを構成する観点であり、観点Bは、不揮発性記憶トランジスタを含むフリップフロップを記憶単位として利用する観点である。

【0007】その結果、観点Aについては、米国特許第5,440,159号公報、米国特許第5,504,706号公報、特開平4-212471号公報（対応米国特許公報第5,457,335号）、及び、大崎らによる“A single Ploy EEPROM Cell Structure for Use in Standard CMOS Processes”, IEEE Journal of solid state circuits”, VOL. 29, NO.3, March 1994, pp311-316が発見された。

【0008】一方、観点Bについては、特開平5-314789、特開平6-76582、特開平10-334691の各号公報が発見された。特開平5-314789号公報は、2つの電気に書き込み可能な不揮発性メモリ（EPROM）素子を、駆動トランジスタと、2つの負荷トランジスタとから構成したフリップフロップを記憶単位として構成し、救済回路の冗長アドレスを記憶する技術を開示する。

【0009】

【発明が解決しようとする課題】本発明者の検討によれば以下の点が明らかにされた。先ず、特開平5-314789号公報に開示されている電気に書き込み可能な不揮発性メモリセルを駆動トランジスタ（不揮発性記憶トランジスタ）と2つの負荷トランジスタとから構成したフリップフロップ回路においては、フローティングゲートに電荷の全く無い初期閾値電圧、書き込み・消去状態の閾値電圧、および、読み出し時のワード線電位の状態によって、電荷保持特性の劣化に起因する読み出し不良の発生率が大きく影響されるという第1の問題点が発明者によって見出された。

【0010】例えば、図25には、本発明者が検討した不揮発性記憶トランジスタを含むフリップフロップ回路において、一方の不揮発性記憶トランジスタ223へ書き込みを行った後、電源線へ電源電圧 $V_{cc}$ を印加して読み出し動作を行った状態が示されている。図25において220、221はpチャネル型負荷トランジスタ、222、223はnチャネル型不揮発性記憶トランジスタである。2つの不揮発性記憶トランジスタ222、223は、一方のトランジスタ222が初期閾値電圧（ $V_{thL}$ ）と、他方のトランジスタ223が高閾値電圧（ $V_{thH}$ ）であるため、電源線の電位が0Vから電源電圧 $V_{cc}$ まで上昇する間に、ラッチが固定され、高閾値電圧（ $V_{thH}$ ）の不揮発性記憶トランジスタ223のドレイン端子に $V_{cc}$ （Hレベル）が、初期閾値電圧（ $V_{thL}$ ）の不揮発性記憶トランジスタ222のゲート電極に $V_{cc}$ （Hレベル）が、いわゆるディスタープ電圧として印加される。このディスタープ状態では、高閾値電圧（ $V_{thH}$ ）の不揮発性記憶トランジスタ223のフローティングゲートに蓄積された電荷がドレイン端子

側へ引き抜かれる方向にストレスが加えられており、一方、初期閾値電圧（ $V_{thL}$ ）の不揮発性記憶トランジスタ222のフローティングゲートへは電荷が注入される方向のストレスが印加されることになる。通常、半導体装置は10年間連続で動作することを前提として設計されることから、上記不揮発性記憶トランジスタ222、223へのストレスは、最悪10年間印加されると考えねばならない。このため、初期閾値電圧（ $V_{thL}$ ）の不揮発性記憶トランジスタ222の閾値電圧の上昇、いわゆるチャージゲインと、高閾値電圧（ $V_{thH}$ ）の不揮発性記憶トランジスタ223の閾値電圧の低下、いわゆるチャージロスが同時に発生し、ゲート酸化膜厚が薄い場合には、2つの不揮発性記憶トランジスタ222、223の閾値電圧が比較的容易に一致してしまうため、ラッチデータの反転による読み出し不良を生ずる虞がある。したがって、図25のように動作電源としての電源電圧 $V_{cc}$ を常時印加するフリップフロップ回路は、ディスタープ耐性に弱いということが本発明者によって明らかにされた。

【0011】第2の問題点として、フローティングゲートとコントロールゲートの縦積み構造のメモリセル、すなわちスタックド・ゲート型メモリセルでは、メモリセル構造が複雑であることに起因する製造コストの増加という問題点のあることが本発明者によって明らかにされた。特に、近年、市場が急拡大しているフラッシュメモリを高速のロジック回路、あるいは、DRAM等と混載する、いわゆるシステムLSI製品において、フラッシュメモリにスタックド・ゲート型メモリセルを採用することは製造コストの増加をもたらす。本発明者の検討によれば、これは、下記のホットマスクや製造工程の増加が原因であると考えられる。すなわち、フラッシュメモリのトンネル酸化膜はロジック回路用トランジスタのゲート酸化膜、あるいはDRAMセルトランジスタのゲート酸化膜より厚いため、トンネル酸化膜の作り分け用マスク、フラッシュメモリのフローティングゲート用のポリシリコン膜の追加・加工マスク、フラッシュメモリのワード線を加工するマスク、フラッシュメモリのドレイン領域を形成するための不純物注入用マスク、さらに、書き込み・消去回路を構成する高耐圧トランジスタの低濃度N型ソース・ドレイン領域及び低濃度P型ソース・ドレイン領域を形成するための不純物注入用マスク、が必要になり、追加すべきマスク数は最低限でも6枚となる。このため、スタックド・ゲート型メモリセルを用いたフラッシュメモリを搭載した廉価なシステムLSIを提供することがコスト的に困難となっている。これを解決するには、単層ポリシリコンゲート構造の不揮発性記憶素子を形成すればよい。

【0012】しかしながら、前記単層ポリシリコンゲート構造の不揮発性記憶トランジスタのゲート酸化膜厚に対しては、それと一緒に混載される他の回路のMIST

ランジスタにおけるゲート酸化膜厚との関係も考察するのが得策である。本発明者の検討によれば、不揮発性記憶トランジスタの書き換え回数の制限はゲート酸化膜厚と相関があり、情報保持性能の劣化の進行を緩和するにはゲート酸化膜を厚くした方がよい。しかし、半導体集積回路の製造プロセスを複雑化しないためには、単層ゲート構造の不揮発性記憶トランジスタにおけるゲート酸化膜厚を、他の回路のMISトランジスタのゲート酸化膜厚と共通化することが望ましいと考えられる。

【0013】本発明者は更に、単層のポリシリコン層を用いた不揮発性記憶トランジスタを複数個直列接続した形態で利用する観点、単層のポリシリコン層を用いた不揮発性記憶トランジスタを読み出した後、直ちに不揮発性記憶トランジスタへの電圧印加を停止する観点、不揮発性記憶トランジスタから読み出したデータを揮発性のデータラッチ回路で保持する観点、さらに、データラッチ回路で保持したデータを誤り符号訂正回路（ECC回路）で処理する観点等について検討した。これら検討事項について前記公知例調査で発見された文献には何らの開示もなかった。

【0014】本発明の目的は、スタティックラッチ形態に接続された不揮発性記憶トランジスタによる長期の情報保持性能を向上させることにある。

【0015】本発明の別の目的は、スタティックラッチ形態に接続された不揮発性記憶トランジスタのデバイス構造を簡素化することにある。

【0016】本発明のその他の目的は、通常のロジック回路プロセス、あるいは汎用DRAMプロセスへ全く新たなプロセスを追加することなく、読み出し不良の発生率を著しく低下できる不揮メモリを搭載した半導体装置を提供することにある。

【0017】本発明の他の目的は、単層のポリシリコンゲートで構成された不揮発性記憶トランジスタをメモリモジュールやメモリ回路の救済用回路に利用する技術を提供することにある。

【0018】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0019】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0020】〔1〕第1の観点は、フリップフロップ（セルフラッチ）のようなスタティックラッチ形態で接続された不揮発性記憶トランジスタに記憶情報を読み出した後、直ちに不揮発性記憶トランジスタへの電圧印加を停止できるようにし、電圧印加期間を短くして、長期に亘る情報保持性能の向上を企図するものである。

【0021】即ち、半導体基板上に形成された不揮発性メモリは、負荷と不揮発性記憶トランジスタの直列回路

を一对有しそれらがスタティックラッチ形態に接続されて成る複数個の不揮発性記憶回路と、前記不揮発性記憶回路に情報を記憶させるプログラム制御回路と、前記不揮発性記憶回路の記憶情報をラッチ可能な揮発性ラッチ回路と、前記不揮発性記憶回路の記憶情報を前記揮発性ラッチ回路にラッチさせる読み出し制御回路とを備える。揮発性ラッチ回路はその動作電源が投入されている限り、不揮発性記憶回路の記憶情報を保持する。この状態において不揮発性記憶回路にスタティックラッチ動作を維持させる必要はない。その後、不揮発性記憶回路によるスタティックラッチ動作の為の動作電源の供給を停止してよい。

【0022】望ましい形態として、前記読み出し制御回路にオートパワーオフ機能を採用するとよい。例えば、前記読み出し制御回路は、読み出し動作の指示に応答して前記不揮発性記憶回路にスタティックラッチ動作の為の動作電源を供給し、スタティックラッチ動作に응答して揮発性ラッチ回路がラッチ動作を完了した後に前記動作電源の供給を断つようにすればよい。

【0023】上記により、不揮発性記憶トランジスタに対する無用な電圧印加を停止でき、不揮発性記憶トランジスタが無用なチャージゲインやチャージロスを生ずる電圧状態にさらされる期間が短くなり、これにより、長期に亘る情報保持性能が向上する。

【0024】不揮発性記憶回路には欠陥回路部分を救済する為の救済情報の記憶などに利用される。救済情報のように、半導体装置が動作可能な状態では既に内部回路の機能に反映されていなければならない情報を想定したとき、前記読み出し動作の指示は、半導体装置に対するリセット指示に응答して与えられるようにするのがよい。

【0025】また、救済情報のように半導体装置の正常な動作に必要な不可欠な情報を想定したとき、不揮発性記憶回路に記憶された情報の長期信頼性を更に向上させるには、前記揮発性ラッチ回路がラッチした情報を入力して誤りの訂正が可能なECC回路を追加すればよい。

【0026】〔2〕前記セルフラッチの基本的な回路接続形態には一对の不揮発性記憶トランジスタを駆動トランジスタとして採用すればよい。即ち、セルフラッチとしての前記不揮発性記憶回路において、ソース、ドレイン及びゲートを備える第1導電型の負荷トランジスタを前記負荷とし、ソース、ドレイン、フローティングゲート、及びコントロールゲートを備える第2導電型によって前記不揮発性記憶トランジスタを構成する。前記負荷と不揮発性記憶トランジスタの直列回路は、前記負荷トランジスタに前記不揮発性記憶トランジスタを結合した出力ノードと、前記負荷トランジスタのゲートに前記不揮発性記憶トランジスタのコントロールゲートを結合した制御ノードを有する。相互に一方の直列回路の出力ノードは他方の直列回路の制御ノードに接続されたスタティ

ックラッチ形態を有し、双方の直列回路における出力ノードに相補データ線が接続されて構成される。

【0027】不揮発性記憶回路の一对の不揮発性記憶トランジスタに対するプログラムは例えば相補データ線に相補的な電圧を与えて一方の不揮発性記憶トランジスタのフローティングゲートにホットエレクトロンを注入させればよい。不揮発性記憶回路に対する読み出し動作では一对の直列回路に所定速度で動作電源を供給して一对の不揮発性記憶トランジスタの閾値電圧の相違に応じたスタティックラッチ動作にて相補データ線に相補信号を得る。

【0028】〔3〕情報保持性能の向上若しくは改善に向けられた前記セルフラッチには不揮発性記憶トランジスタを直列接続した構成を採用するとよい。すなわち、前記不揮発性記憶回路において、ソース、ドレイン及びゲートを備える第1導電型の負荷トランジスタを前記負荷とし、ソース、ドレイン、フローティングゲート、及びコントロールゲートを備える第2導電型によって前記不揮発性記憶トランジスタを構成する。前記負荷と不揮発性記憶トランジスタの直列回路は、前記負荷トランジスタに前記不揮発性記憶トランジスタを結合した出力ノードと、前記出力ノードに結合された前記不揮発性記憶トランジスタに別の不揮発性記憶トランジスタを直列接続するプログラムノードと、前記負荷トランジスタのゲート及び前記不揮発性記憶トランジスタのコントロールゲートに共通結合された制御ノードを有する。前記一对の直列回路は、相互に一方の直列回路の出力ノードが他方の直列回路の制御ノードに接続されたスタティックラッチ形態を有し、双方の直列回路における出力ノードに相補データ線を接続し、双方の直列回路におけるプログラムノードに相補プログラム制御線を接続して構成される。

【0029】不揮発性記憶回路の一对の不揮発性記憶トランジスタに対するプログラムは例えば相補プログラム制御線に相補的な電圧を与えて一方の直列回路の双方の不揮発性記憶トランジスタのフローティングゲートにホットエレクトロンを注入させればよい。不揮発性記憶回路に対する読み出し動作では一对の直列回路に所定速度で動作電源を供給して一对の直列回路間における不揮発性記憶トランジスタの閾値電圧の相違に応じたスタティックラッチ動作にて相補データ線に相補信号を得る。相互にゲート絶縁膜厚が等しい不揮発性記憶トランジスタの場合、フローティングゲートからチャージロスによりホットエレクトロンが放出されて閾値電圧状態が反転される確立は、1個よりも2個直列の方が低いから、その分、複数個の不揮発性記憶トランジスタを直列した構成により、不揮発性記憶トランジスタのゲート絶縁膜厚の点で不十分な情報保持性能を向上若しくは改善することができる。

【0030】〔4〕第2の観点では、不揮発性記憶トラン

ジスタの単層ポリシリコンゲート構造である。すなわち、前記不揮発性記憶トランジスタは、第1導電型の半導体領域に形成された第2導電型のソース及びドレインと、前記ソース及びドレインの間のチャンネルの上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたフローティングゲートとを有するMISトランジスタと、前記フローティングゲートの延在部分の下にゲート絶縁膜を介して形成された第2導電型の半導体領域から成るコントロールゲートとから構成すればよい。

【0031】このとき、不揮発性記憶トランジスタのゲート絶縁膜厚は必要な耐圧と共にその他の回路のゲート絶縁膜厚との関係を考慮して決定すればよい。例えば、前記不揮発性記憶回路及びプログラム制御回路に含まれるMISトランジスタ（本明細書において絶縁ゲート電界効果トランジスタを総称する名称として用いる）には比較的ゲート絶縁膜の厚い高電圧動作MISトランジスタを採用し、前記揮発性ラッチ回路及び読み出し制御回路に含まれるMISトランジスタには比較的ゲート絶縁膜の薄い低電圧動作MISトランジスタを採用すればよい。

【0032】また、前記半導体基板上に各々MISトランジスタを有するロジック回路及び外部インタフェース回路を更に含むとき、外部インタフェース回路は外部端子にゲートが接続される入力MISトランジスタの静電耐圧向上の為に比較的厚いゲート絶縁膜が採用され、また、外部から供給される3.3Vのような動作電源を降圧してロジック回路のような内部回路の動作電源とする半導体集積回路では、3.3Vを受けて動作する外部インタフェース回路のMISトランジスタは内部回路のMISトランジスタに比べて厚いゲート酸化膜を持つ。これに着目し、前記不揮発性記憶トランジスタのゲート絶縁膜と、前記外部インタフェース回路が有するMISトランジスタのゲート絶縁膜とは、ほぼ等しい（プロセスばらつきによる許容誤差範囲で等しい）膜厚を設定すればよい。要するに、前記不揮発性記憶トランジスタ用のMISトランジスタのゲート絶縁膜と前記外部インタフェース回路に含まれるMISトランジスタのゲート絶縁膜とを同一プロセス若しくは共通のフォトリソマスクを利用して一緒に製造する。このように、単層ゲート構造の不揮発性記憶回路におけるゲート絶縁膜厚を、他の回路のMISトランジスタのゲート絶縁膜厚と共通化することにより、半導体装置の製造プロセスを複雑化しないことを優先させて、不揮発性記憶回路による長期の情報保持性能を実現することができる。

【0033】不揮発性記憶素子が前記単層ポリシリコンプロセスのような製造プロセスを用いて形成できることに着目すると、前記不揮発性記憶トランジスタを構成するMISトランジスタのフローティングゲート、前記ロジック回路に含まれるMISトランジスタのゲート、外部インタフェース回路に含まれるMISトランジスタの



ゲート、及びDRAMに含まれるMISトランジスタのゲートは、プロセスばらつきによる許容誤差範囲内で等しい膜厚で形成されていればよい。即ち、単層ポリシリコンプロセスのような単層ゲートプロセスを用いても、前記データ保持性能に優れた不揮発性メモリをDRAMなどと一緒に混載したシステムLSIのような半導体集積回路を得ることができる。

【0034】〔5〕第3の観点の前記不揮発性メモリの用途として救済情報の記憶回路を考慮する。このとき半導体装置は、前記半導体基板上に、被救済回路と、前記被救済回路を代替する救済回路とを含み、前記不揮発性記憶回路は、前記救済回路で代替すべき被救済回路を特定する救済情報の記憶回路として利用される。

【0035】前記救済回路に対する別の救済情報記憶回路として、ヒューズ素子の溶断状態に応じて救済情報を記憶するヒューズプログラム回路を更に設けてもよい。ウェーハ段階で検出された不良に対する救済をヒューズプログラム回路で行い、バーン・イン後に検出された不良に対して前記電気的なプログラム回路を用いる事により、救済効率を上げる事ができる。換言すれば、半導体集積回路の歩留まりが向上する。ヒューズプログラム回路だけではバーン・イン後に不良を救済する事ができない。電気的プログラム回路だけではヒューズプログラム回路との併用の場合に比べて回路規模若しくはチップ占有面積が大きくなる。

【0036】前記被救済回路はDRAM内蔵のメモリセルアレイとしてよい。また、前記被救済回路はマイクロコンピュータ内蔵DRAMのメモリセルアレイとしてよい。また、前記被救済回路はマイクロコンピュータ内蔵SRAMのメモリセルアレイとしてよい。

【0037】〔6〕読み出し不良率を究極的に低減するには、前記複数個の不揮発性記憶回路の一部には残りの不揮発性記憶回路が保持する前記救済情報に対する誤り訂正コードを保持させ、前記複数個の不揮発性記憶回路の読み出し情報に対して誤り訂正が可能なECC回路を設けて、半導体装置を構成すればよい。

【0038】ECC回路によるエラー訂正機能を保証するには、前記プログラム制御回路は前記不揮発性記憶回路に対する書き込みを禁止する動作モードを備えらるゝ。

【0039】

【発明の実施の形態】《フリップフロップ型不揮発性メモリ》図1には本発明に係る半導体装置が有する不揮発性メモリを救済情報の記憶回路として構成した一例が示される。同図に示される不揮発性メモリ100は、半導体基板上に、図示を省略する被救済回路と、前記被救済回路を代替する図示を省略する救済回路と共に形成され、不揮発性記憶回路101、プログラム制御回路（書き込み制御回路）102、読み出し制御回路103、揮発性ラッチ回路（データラッチ回路）104、及び誤り

符号訂正回路（ECC回路）105を有する。

【0040】不揮発性記憶回路101は前記救済回路で代替すべき被救済回路を特定する救済情報（例えば冗長アドレスデータ）を記憶する。プログラム制御回路（書き込み制御回路）102は前記不揮発性記憶回路101に冗長アドレスデータを記憶させる。揮発性ラッチ回路（データラッチ回路）104は前記不揮発性記憶回路101の記憶情報をラッチ可能である。ラッチされた記憶情報はECC回路105に供給され、誤りがある場合には誤り訂正され、図示を省略する被救済回路を救済回路で置き換え制御するための図示を省略するアドレス比較回路に供給される。前記不揮発性記憶回路101の記憶情報を前記データラッチ回路104にラッチさせる読み出し制御は前記読み出し制御回路103が行う。

【0041】前記不揮発性メモリ100を搭載した半導体装置はMIS（メタル・インシュレート・セミコンダクタ）型の半導体集積回路製造技術によって形成され、記憶情報の書き込みに高電圧を必要とする不揮発性記憶回路101及びその制御を行う書き込み制御回路102は少なくとも高電圧動作MISトランジスタ（高電圧系トランジスタ）で形成される。これに対して、その他の回路である読み出し制御回路103、データラッチ回路104、及びECC回路105はそれに比べて低電圧動作させることが可能な定電圧動作MISトランジスタ（低電圧系トランジスタ）で構成することができる。但し、その場合には、書き込み動作時に高電圧がデータラッチ回路104に伝達されないようにする分離スイッチが必要になる。また、書き込みに際して読み出し制御回路103が高電圧を出力しなければならないときは当該読み出し制御回路103も高電圧系トランジスタで構成することが必要である。高電圧系トランジスタのゲート絶縁膜厚 $T_{ox2}$ は低電圧系トランジスタのゲート酸化膜厚 $T_{ox1}$ よりも厚くされる。

【0042】《フリップフロップ型不揮発性記憶回路の第1の例》図2には一つの不揮発性記憶回路の一例が示される。不揮発性記憶回路101は、負荷と不揮発性記憶トランジスタの直列回路を一对有する。同図において、前記負荷はソース、ドレイン及びゲートを備える第1導電型（例えばpチャネル型）の負荷MISトランジスタ110、111であり、前記不揮発性記憶トランジスタ112、113はソース、ドレイン、フローティングゲート、及びコントロールゲートを備える第2導電型（nチャネル型）を有する。前記負荷MISトランジスタ110（111）に前記不揮発性記憶トランジスタ112（113）が結合され（その結合点を出力ノード114（115）という）、前記負荷MISトランジスタ110（111）のゲートに前記不揮発性記憶トランジスタ112（113）のコントロールゲートが結合され（その結合点を制御ノード116（117）という）、相互に一方の直列回路の出力ノード114（115）

5) が他方の直列回路の制御ノード117 (116) に接続されたスタティックラッチ形態を有する。双方の直列回路における出力ノード114, 115に相補データ線118, 119が接続される。負荷MISTランジスタ110, 111のソースには配線120が接続され、不揮発性記憶トランジスタ112, 113のソースには配線121が接続される。前記相補データ線118, 119には配線124の信号電圧V<sub>SM</sub>でスイッチ制御されるnチャンネル型書き込みスイッチMISTランジスタ122, 123が配置され、それらMISTランジスタ122, 123は書き込み動作においてオン状態にされ、それ以外はオフ状態を保つ。

【0043】図3には不揮発性記憶トランジスタ101に対する書き込み、消去、読み出し、待機時の夫々における電圧状態が例示される。図3の例は図2の不揮発性記憶回路101において右側の不揮発性記憶トランジスタ113を書き込み対象とする場合を例示してある。これによれば、V<sub>GG</sub>とV<sub>DR</sub>に5Vの電位差が形成され不揮発性記憶トランジスタ113は比較的大きなチャネル電流によりホットエレクトロンがフローティングゲートに注入されて書き込み状態、ここでは高閾値電圧状態にされる。反対側の不揮発性記憶トランジスタ112は消去状態、ここでは低閾値電圧状態にされる。尚、図2に代表されるようにフローティングゲートに付記された○印は注入されたエレクトロンを模式的に表現する。読み出しでは配線120の電圧V<sub>DD</sub>を0Vから1.8Vまで徐々にレベル上昇させて、不揮発性記憶トランジスタ112, 113の閾値電圧差に応じたスタティックラッチ動作によってデータ線118, 119の電圧V<sub>D</sub>L, V<sub>D</sub>Rを相補レベルに駆動する。図3に示される「open」は前記書き込みスイッチ122, 123のオフ状態による相補データ線に対するフローティング状態を意味する。

【0044】図4には図1の不揮発性メモリの更に詳細な一例が示される。同図には代表的に2個の不揮発性記憶回路101が例示され、また、誤り符号訂正回路105の図示が省略され、代わりにアドレス比較回路106が概略的に図示されている。

【0045】データラッチ回路104は2個の2入力ノアゲートNOR1, NOR2の相互に一方の出力を他方の入力に帰還接続したスタティックラッチとして構成される。アドレス比較回路106はデータラッチ回路104の出力をアドレス信号の対応ビットa0, a1…と比較するイクスクルシブノアゲート(非排他的論和ゲート)E-NORによって構成される。

【0046】図4において「Read」と標記された不揮発性記憶回路101は読み出し動作状態で模式的に表現され、「Program」と標記された不揮発性記憶回路101は書き込み動作状態で模式的に表現されているが、実際のメモリ動作では読み出しと書き込みが並列

されることはない。図において、V<sub>pp</sub>は5Vのような電圧、V<sub>cc</sub>は1.8Vのような電圧、V<sub>ss</sub>は0Vのような電圧を意味する。

【0047】読み出し動作(「Read」)において配線120のレベルV<sub>DD</sub>が電圧V<sub>ss</sub>から電圧V<sub>cc</sub>に変化されるとき、不揮発性記憶回路101が不揮発性記憶トランジスタの閾値電圧状態にしたがって正確にセルフラッチ動作を行うためには、例えば以下の条件を満足すればよい。即ち、パワーオン時に配線120のレベルV<sub>DD</sub>を電圧V<sub>ss</sub>からゆっくり立ち上げて、低い閾値電圧として初期閾値電圧(V<sub>tni</sub>)を有する不揮発性記憶トランジスタが最初にオン状態になればよい。その動作条件は、pチャンネル型MISTランジスタ及びnチャンネル型MISTランジスタのオーバーラップ容量で決まるカップリング比、換言すればnチャンネル型MISTランジスタのチャネル面積に対するpチャンネル型MISTランジスタのチャネル面積の比をKとし、コントロールゲートのカップリング比をηとすれば、 $V_{tni}/K < V_{tp}/(1-K)$ 、 $V_{tni} = V_{tn}/\eta$ であるから、 $V_{tn} < V_{tp} \cdot \eta K / (1-K)$ になり、したがって、 $V_{tn}(\max) < V_{tp}(\min) \cdot \eta K / (1-K)$ の条件を満足するように、負荷MISTランジスタ110, 111のトランジスタサイズを大きく設定すればよい。

【0048】読み出し動作においてデータラッチ回路104はその動作電源が投入されている限り、不揮発性記憶回路101の記憶情報を保持する。この状態において不揮発性記憶回路101にスタティックラッチ動作を維持させる必要はない。その後、不揮発性記憶回路101によるスタティックラッチ動作の為の動作電源V<sub>cc</sub>の供給を停止してよい。望ましい形態として前記読み出し制御回路103はオートパワーオフ機能を有する。例えば、前記読み出し制御回路103は、読み出し動作の指示に回答して前記不揮発性記憶回路101にスタティックラッチ動作の為の動作電源V<sub>cc</sub>を供給し、スタティックラッチ動作に回答してデータラッチ回路104がラッチ動作を完了した後に前記動作電源V<sub>cc</sub>の供給を断つ。

【0049】上記により、不揮発性記憶トランジスタに対する無用な電圧印加を停止でき、不揮発性記憶トランジスタが無用なチャージゲインやチャージロスを生ずる電圧状態にさらされる期間が短くなり、これにより、長期に亘る情報保持性能が向上する。

【0050】ここでは、前記不揮発性記憶回路101は欠陥回路部分を救済する為の冗長アドレスデータの記憶に利用される。冗長アドレスデータのように半導体装置が動作可能な状態では既に内部回路の機能に反映されていなければならない情報を想定したとき、前記読み出し動作の指示は、半導体装置に対するリセット指示に回答して与えられるようにするのがよい。



15

【0051】図5には読み出し制御回路103の読み出し動作をリセット指示にตอบสนองして行う場合のオートパワーオフ機能の実現例が示される。図5はマイクロコンピュータのような半導体装置を想定し、CPUなどのデータ制御装置を内蔵して、マニュアルリセット及びパワーオンリセットでは外部よりリセット信号RSTが供給される場合の実現例を示す。図5において130はシステムコントローラ131などに含まれるリセット制御回路である。リセット制御回路130は特に制限されないが、リセット信号RST及びシステムクロック信号CLKを入力し、リセット信号RSTが一定期間ハイレベルに維持された後、ローレベルに変化されると、初期化信号rst1がパルス変化される。この初期化信号rst1は遅延回路132で一定時間遅延され、遅延初期化信号rstdとされる。初期化信号rst1は前記読み出し制御回路103に供給され、そのパルス変化にตอบสนองして配線120に漸次動作電圧を供給して最終的に電圧Vccに到達させる。前記遅延回路132の遅延時間は不揮発性記憶回路101に動作電圧を供給開始してから少なくともセルフラッチが完了するまでの時間に相当され、その遅延時間を経て遅延初期化信号rstdがパルス変化されると、読み出し制御回路103は配線120への電源電圧Vccの供給を停止する。遅延初期化信号rstdのパルス変化はCPU133にも与えられ、これによってCPU133はプログラムカウンタを0番地に初期化し、0番地の命令から実行を開始して、命令実行動作を開始する。134で総称されるその他の初期化信号は半導体装置内部における規定の信号入力ノード及び出力ノードを規定の論理値に初期化するための制御信号である。

【0052】図5の例では、救済アドレスデータがデータラッチ回路104に読み出されて被救済回路に対する救済が可能な状態になった後でCPU133は命令実行可能にされるから、CPU133が命令を実行開始する段階では既に必要な欠陥救済が完了しており、欠陥部分に起因する誤動作の発生を未然に防止することができる。

【0053】図6にはリセット端子の無い半導体装置におけるオートパワーオフ機能の実現例が示される。ここでは、半導体装置に外部から供給される電源電圧Vccが規定の電圧に安定する状態を検出する為のパワーアップ検出回路135による電圧検出信号bmpを利用する。パワーアップ検出回路135は、特に制限されないが、容量回路が入力に接続され前記容量回路の初期状態にตอบสนองして非クランプ状態にされて動作電源電圧を出力可能なクランプ回路を有する。前記クランプ回路の入力側には、チャージトランジスタとディスチャージトランジスタが接続される。ディスチャージトランジスタは外部電源投入当初に非クランプ状態にされるところのクランプ回路の出力にตอบสนองしてオフ状態を採る。動作電源電

16

圧の上昇に比例してクランプ回路の入力はチャージトランジスタにより徐々にチャージされ、クランプ回路の入力がある論理閾値電圧を越えることによって当該クランプ回路はクランプ状態に反転され、これにตอบสนองして、パワーアップ検出回路135の出力信号bmpが動作電源電圧から回路の接地電圧へ変化する。前記信号bmpは遅延回路136を経て遅延パルス信号bmpdとされる。読み出し制御回路103は前記信号bmpのパルス変化にตอบสนองして、配線120に漸次動作電圧を供給して最終的に電圧Vccに到達させる。前記遅延回路136の遅延時間は不揮発性記憶回路101に動作電圧を供給開始してから少なくともセルフラッチが完了するまでの時間に相当され、その遅延時間を経て遅延初期化信号bmpdがパルス変化されると、読み出し制御回路103は配線120への電源電圧Vccの供給を停止する。

【0054】図7には前記不揮発性記憶トランジスタ112のデバイス断面構造が概略的に示される。前記不揮発性記憶セルトランジスタ112は、第1導電型(p型)の半導体領域(pwell)140に形成された第2導電型(n型)のソース141及びドレイン142と、前記ソース141及びドレイン142の間のチャネルの上に形成されたゲート絶縁膜143と、前記ゲート絶縁膜143上に形成されたフローティングゲート144とを有するMISTランジスタと、前記フローティングゲート144の延在部分144Aの下にゲート絶縁膜143Aを介して形成された第2導電型の半導体領域(nwell)145から成るコントロールゲート(CG T)とから構成される。146は素子分離領域である。このように、不揮発性記憶トランジスタは、MISTランジスタ、及び前記MISTランジスタのフローティングゲートとの間に絶縁膜が介在されたコントロールゲートを持ち、単層ポリシリコンプロセス等の製造プロセスで生成可能である。コントロールゲートは不純物導入層によって形成されている。

【0055】図8には不揮発性記憶回路101の詳細な平面レイアウト図が例示される。同図に示されるレイアウトは、第1金属配線層M1、第2金属配線層M2、第3金属配線層M3のメタル3層構造を有し、9で示されるコンタクトホールは半導体基板若しくはウェル領域とM1を接続し、15で示されるスルーホールはM1とM2を接続し、19で示されるスルーホールはM2とM3を接続する。M3で形成されるVDDの配線は20で例示するべた配線パターンを成す。DL、DRは図2の相補データ線118、119に対応される。

【0056】不揮発性記憶トランジスタを構成するコントロールゲートは、第1導電型の半導体領域2に設けられた第2導電型の半導体領域1(CG T)によって形成され、前記フローティングゲートは、前記第1導電型の半導体領域2の活性領域4内に形成されるMISTランジスタのチャネルの上を通してゲート絶縁膜を介してコ

17

ントロールゲートの上方に配置された導電層（ポリシリコン層）7によって形成される。前記コントロールゲートは、前記フローティングゲート7に重なった活性領域3の下にゲート絶縁膜を介して配置された第2導電型の半導体領域1（CGT）によって形成されている。11、13、14は第1金属配線層（M1）、17は第2金属配線層（M2）、20は第3金属配線層（M3）のパターンを示す。活性領域5に形成された負荷MISTランジスタのチャンネル面積と、活性領域4に形成された不揮発性記憶トランジスタ構成用MISTランジスタのチャンネル面積は前述のセルフラッチの為に必要な関係を満足するように形成されている。

【0057】《フリップフロップ型不揮発性記憶回路の第2の例》図9には不揮発性記憶回路の別の例が示される。上述の不揮発性記憶トランジスタのゲート絶縁膜厚を外部インタフェース回路のMISTランジスタのそれに合せたとき、ゲート絶縁膜厚の点において十分な情報保持性能を確保できないときは、図9に例示されるように、前記不揮発性記憶トランジスタを複数個直列接続した構成のフリップフロップを採用することによって、情報保持性能も一層向上させることができる。

【0058】図9の例では不揮発性記憶回路101Aは負荷に2個の不揮発性記憶トランジスタを直列接続した直列回路を一对有する。負荷は前記同様にソース、ドレイン及びゲートを備える第1導電型（例えばpチャンネル型）の負荷MISTランジスタ110、111であり、前記不揮発性記憶トランジスタ112A、112B、113A、113Bは前記同様にソース、ドレイン、フローティングゲート、及びコントロールゲートを備え第2導電型（nチャンネル型）を有する。前記負荷トランジスタ110（111）に前記不揮発性記憶トランジスタ112A（113A）が結合され（その結合点を出力ノード114（115）と言う）、更に前記不揮発性記憶トランジスタ112A（113A）に別の不揮発性記憶トランジスタ112B（113B）が直列接続される（その結合点をプログラムノード116A（117A）と言う）。前記負荷トランジスタ110（111）のゲート及び前記不揮発性記憶トランジスタ112A、112B（113A、113B）のコントロールゲートが共通結合される（その結合ノードを制御ノード116B（117B）という）。前記一对の直列回路は、相互に一方の直列回路の出力ノードが114（115）が他方の直列回路の制御ノード117B（116B）に接続されたスタティックラッチ形態を有する。負荷MISTランジスタ110、111のソースには配線120が接続され、不揮発性記憶トランジスタ112B、113Bのソースには配線121Aが接続される。双方の直列回路における出力ノード114、115に相補データ線118A、119Aが接続され、双方の直列回路におけるプログラムノード116A、117Aに相補プログラム制御線1

18

18B、119Bが接続される。前記相補データ線118A、119Aには配線124Aの信号電圧VSDでスイッチ制御されるnチャンネル型書き込みスイッチMISTランジスタ122A、123Aが配置され、前記相補プログラム制御線118B、119Bには配線124Bの信号電圧VSPでスイッチ制御されるnチャンネル型書き込みスイッチMISTランジスタ122B、123Bが配置される。それらMISTランジスタ122A、122B、123A、123Bは書き込み動作においてオン状態にされ、それ以外はオフ状態を保つ。

【0059】図10には不揮発性記憶トランジスタ101Aに対する書き込み、消去、読み出し、待機時の夫々における電圧状態が例示される。図10の例は図9の不揮発性記憶回路101Aにおいて右側の不揮発性記憶トランジスタ113A、113Bを書き込み対象とする場合を例示してある。これによれば、VSS、VDRとVPRの5Vの電位差が形成され不揮発性記憶トランジスタ113A、113Bは比較的大きなチャンネル電流によりホットエレクトロンがフローティングゲートに注入されて書き込み状態、ここでは高閾値電圧状態にされる。反対側の不揮発性記憶トランジスタ112A、112Bは消去状態、ここでは低閾値電圧状態にされる。読み出しでは前述と同様に、配線120の電圧VDDを0Vから1.8Vまで徐々にレベル上昇させて、不揮発性記憶トランジスタ112A、112Bと113A、113Bとの閾値電圧差に応じたスタティックラッチ動作によってデータ線118A、119Aの電圧VDL、VDRを相補レベルに駆動する。図10に示される「open」は前記書き込みスイッチ122A、122B、123A、123Bのオフ状態による相補データ線118A、119Aに対するフローティング状態を意味する。

【0060】図11には図9の不揮発性記憶回路101Aを採用した不揮発性メモリの詳細な一例が示される。同図には代表的に2個の不揮発性記憶回路101Aが例示され、誤り符号訂正回路105の図示が省略され、代わりにアドレス比較回路106が概略的に図示されている。102Aは書き込み制御回路、103Aは読み出し制御回路であり、基本的な機能は図1及び図4の場合と同じである。

【0061】図11において「Read」と標記された不揮発性記憶回路は読み出し動作状態で模式的に表現され、「Program」と標記された不揮発性記憶回路は書き込み動作状態で模式的に表現されているが、実際のメモリ動作では読み出しと書き込みが並列されることはない。図において、Vppは5Vのような電圧、Vccは1.8Vのような電圧、Vssは0Vのような電圧を意味する。

【0062】読み出し動作（「Read」）において配線120のレベルVDDが電圧Vssから電圧Vccに変化されるとき、不揮発性記憶回路が不揮発性記憶トラ

ンジスタの閾値電圧状態にしたがって正確にセルフラッチ動作を行う為に、図4で説明した場合と同じ条件を満足している。

【0063】読み出し動作においてデータラッチ回路104はその動作電源が投入されている限り、不揮発性記憶回路101Aの記憶情報を保持する。この状態において不揮発性記憶回路101Aにスタティックラッチ動作を維持させる必要はない。その後、不揮発性記憶回路101Aによるスタティックラッチ動作の為に動作電源Vccの供給を停止してよい。望ましい形態として前記読み出し制御回路103Aはオートパワーオフ機能を有する。例えば、前記読み出し制御回路103Aは、読み出し動作の指示に回答して前記不揮発性記憶回路101Aにスタティックラッチ動作の為に動作電源Vccを供給し、スタティックラッチ動作に回答してデータラッチ回路104がラッチ動作を完了した後に前記動作電源Vccの供給を断つ。

【0064】上記により、不揮発性記憶トランジスタに対する無用な電圧印加を停止でき、不揮発性記憶トランジスタが無用なチャージゲインやチャージロスを生ずる電圧状態にさらされる期間が短くなり、これにより、長\*

$$P_b = (1-f)f + f(1-f) = 2f(1-f) \dots \textcircled{2}$$

状態③：2セルとも不良である確率Pcは、

$$P_c = f^2 \dots \textcircled{3}$$

となる。ここで、

$$P_a + P_b + P_c = (1-f)^2 + 2f(1-f) + f^2 = 1$$

である。不揮発性記憶モジュールの総ビット数をNとすると、良品は前記③状態のビットが1つもないことであり、この時、Nビットは前記①又は②の何れかの状態にあるはずであるから、良品確率Yは、

$$Y = \sum N C_k P_a^k P_b^{N-k} \dots \textcircled{4}$$

となり、不揮発性記憶モジュールの不良率Fは、

$$F = 1 - Y = 1 - \sum N C_k P_a^k P_b^{N-k} \dots \textcircled{5}$$

2項定理により、

$$\begin{aligned} Y &= \sum N C_k P_a^k P_b^{N-k} = (P_a + P_b)^N \\ &= \{ (1-f)^2 + 2f(1-f) \}^N \\ &= (1-f^2)^N \end{aligned}$$

であるから、

$$F = 1 - (1-f^2)^N \dots \textcircled{6}$$

となる。ところで、1個の不揮発性記憶素子でフリップフロップ回路を構成する方式における良品確率Y'は、Nビット中の1ビットでも不良となるとチップ不良となるので、

$$Y' = (1-f)^N \dots \textcircled{7}$$

となり、1個の不揮発性記憶素子でフリップフロップ回路を構成する方式の不揮発性記憶モジュール不良率F'は

$$F' = 1 - (1-f)^N \dots \textcircled{8}$$

となる。したがって、図9で説明した不揮発性記憶回路

\*期に亘る情報保持性能が向上する。

【0065】ここでは、前記不揮発性記憶回路101は欠陥回路部分を救済する為の冗長アドレスデータの記憶に利用される。冗長アドレスデータのように半導体装置が動作可能な状態では既に内部回路の機能に反映されていなければならない情報を想定したとき、前記読み出し動作の指示は、半導体装置に対するリセット指示に回答して与えられるようにするのがよい。読み出し制御回路103Aの読み出し動作をリセット指示に回答させて行う場合のオートパワーオフ機能は図5、図6と同様の構成にて実現可能である。

【0066】ここで、図9に例示される如く、2個直列の不揮発性記憶トランジスタでフリップフロップ回路を構成する回路形式における読み出し不良率を導出する。例えば、図2のように1個の不揮発性記憶トランジスタでフリップフロップ回路を構成する方式における10年後の不良確率をfとすると、状態①：2セルとも良品である確率Paは、

$$P_a = (1-f)^2 \dots \textcircled{1}$$

状態②：いずれか一方のセルが不良である確率Pbは、

101Aを用いたときのモジュールの不良率の改善度Rは、

$$R = F/F' \sim f \dots \textcircled{9}$$

となり、f=0.01%である場合には、1/1万に不良率が低減され、不良発生率低減効果は著しい。

【0067】図12には不揮発性記憶回路101Aの詳細な平面レイアウト図が例示される。同図に示されるレイアウトは、図8と同様にM1、M2、M3のメタル3層構造を有し、コンタクトホール9、スルーホール15、19の意義は図8と同じである。M3で形成されるVDDの配線は20で例示されるべた配線パターンを成す。DL、DRは図9の相補データ線118A、119Aに対応され、PL、PRは図9の相補プログラム制御線118B、119Bに対応される。

【0068】不揮発性記憶トランジスタを構成するコントロールゲートは中央寄りのn型ウェル領域1(CG T)によって形成され、前記フローティングゲートは、p型ウェル領域2の活性領域4内に形成されるMISTトランジスタのチャネルの上を通りゲート絶縁膜を介してコントロールゲートまで延在された導電層7によって形成される。導電層7は例えばポリシリコン層である。前記コントロールゲートは、前記フローティングゲート7の下に延在されている活性領域3の下にゲート絶縁膜を介して配置されたn型の半導体領域1によって形成される。9はコンタクト穴パターン、11、13、14は第1金属配線層、17は第2金属配線層、20は第3金属配線層のパターンである。

【0069】図13には図12のA-A'位置での縦断

21

面構造が例示される。p型半導体基板51上に、n型ウェル領域52とp型ウェル領域53が形成され、コントロールゲートとして機能する上記n型ウェル領域52内には素子分離領域54で分離されたp型拡散層60と膜厚7.5nmのゲート酸化膜55が形成され、上記ゲート酸化膜55の上部には膜厚200nmのn型ポリシリコン膜56から成るフローティングゲート(FLT)が配置される。前記フローティングゲート56(FLT)はp型ウェル領域53の上部に延在されており、不揮発性記憶トランジスタの一部を成す第1MISTランジスタのゲート電極として作用する。上記第1MISTランジスタのn型ドレイン領域59(DT)は第2MISTランジスタのn型ドレイン領域として共有され、上記第1MISTランジスタと第2MISTランジスタは直列接続されている。上記p型拡散層60、フローティングゲート56(FLT)、およびn型ドレイン領域59の上部にはコバルトシリサイド膜61、57が形成されており、その上部にはコンタクト絶縁膜62、第1金属配線63、第1層間絶縁膜64、第2金属配線65、第2層間絶縁膜66、および第3金属配線67が形成されている。58で示されるものはサイドウォールスペーサである。

【0070】図14には2種ゲート酸化膜を有するセルフラッチ型不揮発性メモリの一例が示される。図14に示される不揮発性記憶回路101A等の基本的な構成は図11で説明したものと同一である。不揮発性記憶回路101A、書き込み制御回路102A、及びオートパワーオフ機能を有する読み出し制御回路103Aは、膜厚7.5nmのゲート酸化膜で電圧3.3Vで動作する高電圧系トランジスタから成り、データラッチ回路104は、膜厚3.5nmのゲート酸化膜で電圧1.8Vで動作する低電圧系トランジスタから構成されているものとする。したがって、この例では、上記とは異なり、書き込み消去に必要な高電圧Vppは5Vではなく3.3Vとされている。このとき、相補データ線118A、118Bはnチャネル型MISTランジスタで成る分離スイッチ126、127を介してデータラッチ回路104に接続される。分離スイッチ126、127は配線120の信号電圧VDDでスイッチ制御され、読み出し動作でオン状態にされ、不揮発性記憶回路101Aからの読み出しデータをデータラッチ回路104に伝達する。不揮発性記憶回路に対する書き込み動作・消去動作において分離スイッチ126、127はオフ状態にされ、データラッチ回路104を構成する低電圧系トランジスタに、その耐圧を超える3.3Vのような書き込み電圧が印加されてゲート破壊などを生じないようになっている。

【0071】図15及び図16には、上記膜厚7.5nmのゲート酸化膜で電圧3.3Vで動作する高電圧系トランジスタと、膜厚3.5nmのゲート酸化膜で電圧1.8Vで動作する低電圧系トランジスタの断面構造図

22

が例示される。図15は半導体基板上のp型ウェル領域、n型ウェル領域に、ゲート絶縁膜を形成した中間工程を経た段階の断面構造が示される。高電圧系トランジスタ領域のゲート絶縁膜55は低電圧トランジスタ領域のゲート絶縁膜71よりも厚く形成されている。図15及び図16に示される参照符号は図13の参照符号と対応される。

【0072】《システムLSI救済ヒューズ》図17には本発明に係る半導体装置の一例であるシステムLSIのチップ平面図が概略的に示されている。同図に示されるシステムLSIは、特に制限されないが、半導体基板の周縁に多数のボンディングパッド等の外部接続電極150が配置され、その内側に外部入出力回路151、アナログ入出力回路152が設けられている。外部入出力回路151及びアナログ入出力回路152は3.3Vのような相対的にレベルの高い外部電源を動作電源とする。レベルシフト回路153は前記外部電源を1.8Vのような内部電源電圧に降圧する。レベルシフト回路153の内側には、ダイナミック・ランダム・アクセス・メモリ(DRAM)154、中央処理装置(CPU)155、キャッシュメモリ(CACH)156、ロジック回路(LOG)157、フェーズ・ロックド・ループ回路(PLL)158、アナログ・デジタル変換回路

(ADC)159、及びデジタル・アナログ変換回路(DAC)160、システムコントローラ(SYSC)161を有する。162、163で示されるものは夫々電氣的に消去及び書き込みが可能な不揮発性メモリ(FUSE)であり、図2及び図9で説明した不揮発性記憶回路をメモリセルとして備える。前記システムコントローラ161は図5で説明したオートパワーオフ機能を実現する為の初期化信号rst1、rstdなどを生成する論理を有し、それら信号を不揮発性メモリ162、163の読み出し制御回路に与えるようになっている。

【0073】前記DRAM154、CPU155、LOG157、CACH156、SYSC161はレベルシフト回路153から供給される1.8Vのような内部電源電圧を動作電源として動作される。但し、DRAM154は内部電源電圧を昇圧してワード線選択レベルを形成し、ワードドライバなどの動作電源に用いる。不揮発性メモリ(FUSE)162、163はデータ読み出し動作では内部電源電圧を用いて動作するが、消去・書き込み動作には高電圧を要し、当該高電圧は、内部昇圧回路によって形成してもよいし、また、システムLSIの後述するEPROMライタモードのような所定の動作モードにおいて所定の外部接続電極を介して外部から供給されるようにしてもよい。

【0074】前記不揮発性メモリ(FUSE)162はDRAM154の救済情報(欠陥メモリセルを冗長メモリセルに置き換える為の制御情報)の格納に利用され、不揮発性メモリ(FUSE)163はキャッシュメモリ

156の救済情報の格納に利用され、ヒューズによる救済用プログラム回路に代えて搭載されている。

【0075】図17に例示されるシステムLSIは、特に制限されないが、単層ポリシリコンゲートプロセスによって単結晶シリコンのような1個の半導体基板上に形成された相補型のMISTランジスタ（絶縁ゲート電界効果トランジスタ）を有し、MISTランジスタのゲート酸化膜厚は2種類に分類される。

【0076】外部入出力回路151、アナログ入出力回路152、DRAM154、ADC159、DAC160、及び不揮発性メモリ162、163は、特に制限されないが、0.2 $\mu$ mプロセス技術を用いた場合、ゲート長0.4 $\mu$ mでゲート酸化膜厚8nmのMISTランジスタを有する。これは、ゲート酸化膜で構成されるトンネル酸化膜に比較的厚い膜厚を設定することが不揮発性記憶トランジスタ112、113（112A、112B、113A、113B）の情報保持性能を良好にする上で望ましく、その他にMISTランジスタの動作電圧に対してある程度の耐圧を確保する必要があるからである。したがって、前記不揮発性メモリ162、163の不揮発性記憶トランジスタを構成するMISTランジスタのゲート絶縁膜や、前記外部インタフェース回路151に含まれるMISTランジスタのゲート絶縁膜等は、プロセスばらつきによる許容誤差範囲内で等しい膜厚を有する事になる。前記ゲート絶縁膜厚のプロセスばらつきによる許容範囲は特に制限されないが、0.25 $\mu$ m～0.2 $\mu$ mの最少加工寸法のプロセスでは、8.0nmの目標膜厚に対して±0.5nm程度であり、0.18 $\mu$ m～0.15 $\mu$ mの最少加工寸法のプロセスでは、7.0nmの目標膜厚に対して±0.3nm程度である。

【0077】これに対して、降圧された比較的低い内部電圧を動作電源とする回路、即ち、ロジック回路157、キャッシュメモリ156、CPU155は、ゲート長0.2 $\mu$ mでゲート酸化膜厚4nmのMISTランジスタで構成される。レベルシフト回路153は、特に制限されないが、双方のゲート酸化膜厚のMISTランジスタを有している。

【0078】上記夫々ゲート酸化膜厚の異なるMISTランジスタのゲート電極は同一膜厚のポリシリコン層によって構成されている。ここでポリシリコン層の同一膜厚とは、プロセスばらつきによる許容範囲内で等しい膜厚であることを意味し、ゲート膜厚のプロセスばらつきによる許容範囲は特に制限されないが、30nm～200nmの目標膜厚で±10%程度ある。上述のゲート酸化膜は膜厚の等しいもの同士で同じフォトリソマスクを用いて生成し、また、上述のポリシリコンゲートは膜厚の等しいもの同士で同じフォトリソマスクを用いて生成することができる。このように、単層ゲート構造の不揮発性記憶素子におけるゲート酸化膜厚を、他の回路のMISTラ

ンジスタのゲート酸化膜厚と共通化することにより、システムLSIの製造プロセスを複雑化しないことを優先させて、フラッシュメモリの不揮発性記憶素子にある程度長い情報保持性能を持たせることができる。

【0079】図18には図17のシステムLSIに対するテストフローが例示される。ウェーハ完成後、まずロジックテストを用いたロジック回路のテストを行い（S1）、これにパスしたチップはメモリテストが実施される（S2）。メモリテストはチップ上に搭載した図示を省略するビルト・イン・セルフ・テスト（BIST）回路等による自己診断により行われ、得られた欠陥情報は前記不揮発性メモリ（FUSE）162、163に救済情報として書き込まれ、その記憶情報を用いて欠陥救済が可能にされる。次に、メモリ救済の為の救済情報の書き込みが完了したチップは所定のパッケージ内に組み立てが行われ（S3）、温度と電源電圧が加速された動作試験（バーンインテスト）が実施される（S4）。このバーンインテストにおいて、例えばDRAMのメモリセルにリフレッシュ不良等が発生した場合、不良ビットを冗長ビットへ置換する2回目の救済を実施し、救済情報は不揮発性メモリ（FUSE）162、163へ書き込まれる。この後、ロジック回路の選別テストが行われ（S5）、動作速度等のグレード分けが実施された後、出荷される。

【0080】上記により、単層ポリシリコンゲートプロセスのような単層ゲートプロセスを用いても、前記データ保持性能に優れた不揮発性メモリをDRAMなどと一緒に混載したシステムLSIのような半導体集積回路を得ることができる。更に、従来の標準CMOSの製造プロセスのような製造プロセスに何らの工程追加を行うことなく、高信頼度の不揮発性記憶モジュールを形成することができることから、同一半導体基板上に不揮発性メモリとロジックLSI、あるいは不揮発性メモリとDRAMとを混載するLSIへの適用も容易である。したがって、製造コストを増加することなく不揮発性メモリ混載のシステムLSIを提供することができる。

【0081】〈DRAMハイブリッド救済ヒューズ〉図19には本発明に係る半導体集積回路の一例である1GビットDRAM170のチップ平面図が概略的に示されている。メモリアレイ171～174は4バンク構成であり、ボンディングパッド175はセンター配置されている。Yデコーダ及びメインアンプは181～184で示されるようにメモリアレイ毎に設けられる。ワードドライバ185A、Xデコーダ186A、ワードドライバ187Aはメモリアレイ171、172に共有され、ワードドライバ185B、Xデコーダ186B、ワードドライバ187Bはメモリアレイ173、174に共有される。

【0082】救済ヒューズは、176、177で示される2000本のレーザーヒューズが2セットと、178

25

で示される100ビットの前記不揮発性メモリからなる電気ヒューズがチップの中央部に配置されている。電気ヒューズ178は、図1、図4等で説明したセルフフラッシュ形態の不揮発性記憶回路を備えて構成される。

【0083】図20には前記DRAM170のテストフロー図が示されている。ウェーハ完成後、まずメモリテストを用いたメモリテストを行い(S1)、判断した欠陥ビットは冗長ビット、あるいは冗長マットとの置換のためレーザーヒューズ救済が実施される(S2)。次に、所定のパッケージ内に組み立てが行われ(S3)、温度と電源電圧が加速された動作試験であるバーンインテスト(S4)と、選別テスト(S5)が実施される。このバーンインテスト(S4)において、DRAM170のメモリセルにリフレッシュ不良等の不良が発生した場合、不良ビットを冗長ビットへ置換する2回目の電気ヒューズによる救済として、救済情報を前記電気ヒューズ178に書き込む(S6)。この電気ヒューズ救済の後、被救済アドレスのメモリテストが実施され、この後で出荷される。

【0084】《フラッシュヒューズモジュールを有するメモリ》図21には救済アドレス記憶用の不揮発性メモリ(以下単にフラッシュヒューズモジュールという)を備えたメモリが例示される。同図に示されるメモリは例えば図17のシステムLSIに内蔵されるDRAM154、或いはSRAMで成るキャッシュメモリ156に利用可能なメモリモジュールであり、CPU155等に接続されるデータバス200、アドレスバス201、及びコントロールバス202とインタフェースされる。

【0085】メモリセルアレイ190は被救済回路として位置付けられる正規マット190Nと救済回路として位置付けられる冗長マット190Rを有し、それらマット190N、190Rはマトリクス配置された複数のメモリセルを有する。メモリセルの選択端子は対応するワード線に、データ入出力端子は対応するデータ線に接続される。メモリセルはダイナミックメモリセル又はスタティックメモリセルとされる。ダイナミックメモリセルの場合に折り返しデータ線構造では相補データ線の一端にセンスアンプが結合されている。

【0086】ロウデコーダ191はアドレスマルチプレクサ191から供給されるロウアドレス信号等をデコードしてワード線選択信号を生成し、これによって選択すべきワード線をワードドライバ193で選択レベルに駆動させる。カラムデコーダ195はアドレスマルチプレクサ191から供給されるカラムアドレス信号等をデコードしてカラム選択信号を生成し、これによって選択されるべき前記相補データ線をカラムスイッチアレイ194を介して選択させ、共通データ線203に導通させる。リード動作において選択されたメモリセルからのリードデータは前記共通データ線203からデータ入出力回路196を介してデータバス200に出力され、ライ

26

ト動作において選択されたメモリセルへのライトデータはデータバス200からデータ入出力回路196を介して前記共通データ線203に与えられる。データ入出力回路196には、SRAMではリードデータを増幅するセンスアンプが配置され、DRAMではリードデータを増幅するメインアンプが配置される。メモリ動作に必要な内部タイミング信号はタイミングジェネレータ197が生成する。

【0087】フラッシュヒューズモジュール199は図2、図9で説明した不揮発性記憶回路に救済アドレス情報を格納可能な不揮発性メモリであり、救済情報の記憶はデータバス200を介して行なわれる。不揮発性記憶回路に対する救済アドレス情報の読み出し制御は図5で説明したシステムLSIのリセット動作に回答して行なわれる。

【0088】アドレス比較回路198は、アドレスマルチプレクサ191から供給されるロウアドレス及びカラムアドレスをフラッシュヒューズモジュール199からの救済アドレス情報と比較する。アドレス比較回路198は、その比較結果が一致の場合には、不良の正規マット190Nに対するアクセスアドレスを冗長マット190Rに対するアクセスアドレスに置き換えるための置き換えアドレス制御情報をロウデコーダ192及びカラムデコーダ195に与える。例えば置き換えアドレス制御情報は、アドレス信号の内、マット選択信号と見なされる複数ビットのアドレス情報を冗長マット190Rの選択信号と見なされる複数ビットのアドレス情報に置換する制御情報とされる。

【0089】《ECC内蔵フラッシュヒューズモジュール》図22には本発明に係る半導体集積回路の更に別の例であるフラッシュヒューズモジュールのブロック図が示される。同図に示されるヒューズモジュールは、不揮発性情報記憶セル群として5個の不揮発性記憶ブロック(7bFile#0~7bFile#4)を有する不揮発性メモリ210、前記不揮発性メモリ210から出力される35ビットのデータq0-34に対してハミングコードを生成するハミングコードジェネレータ211、ハミングコードジェネレータ211で生成されたハミングコードを記憶する不揮発性記憶ブロック(7bFile#5)を有する不揮発メモリ212、不揮発メモリブロック212から出力されるハミングコードと前記不揮発性メモリ210から出力される35ビットのデータq0-34とを入力し、入力データに対して誤り訂正を行う事ができるエラー訂正回路213、及び制御回路214を有する。不揮発性メモリ210に対する書込みデータはd0-6として外部から与えられる。エラー訂正回路213の出力はqc0-34として図示されている。制御回路214には不揮発性記憶ブロック7bFile#0~7bFile#4を選択するためのアドレス信号a0-2、読み出し動作の指示信号rd、書込み動作の



27

指示信号  $prg$  が入力される。

【0090】図24には前記ハミングコードジェネレータ211によるハミングコード生々論理の一例と、前記エラー訂正回路213によるエラー検出及びエラー訂正論理の一例が示される。

【0091】図23には不揮発性記憶ブロック7b File #0～7b File #5の回路例が示される。夫々の不揮発性記憶ブロックは、相互に等しく構成された単位情報セル216を7ビット分有する。単位情報セル216は、図2及び図4で説明した1個の不揮発性記憶回路とその出力をラッチする揮発性スタティックラッチの組み合わせから成る。単位情報セル216に対する制御はバイアスコントローラ215が行う。バイアスコントローラ215は制御回路214からの指示に基づいて単位情報セル216に対して書き込み及びベリファイの動作制御と共に、前記読み出し制御回路103によるオートパワーオフ機能を実現する制御論理を有する。バイアスコントローラ215でオートパワーオフ機能を実現する為の前記初期化信号  $rst1$ 、遅延初期化信号  $rstd$  が入力され、前述のオートパワーオフ制御を行う。制御回路214に入力される信号  $rd$  はベリファイ用のリード指示信号、 $prg$  はプログラム信号である。制御回路214は1ビット分の不揮発性記憶回路及びスタティックラッチ回路から成るプログラム動作禁止フラグFLGを有する。プログラム動作禁止フラグFLGはCPUなどの外部回路によってセット又はリセット状態に操作される。制御回路214、特にそれに含まれる書き込み制御回路は、フラグFLGのセット状態において前記単位情報セル216の不揮発性記憶回路に対するプログラム動作が禁止される動作モードにされる。従って、不揮発性記憶ブロック7b File #0～7b File #5に必要なデータがプログラムされた後、それが不所望に書き換えられる事態を低減若しくは抑止でき、これにより、エラー訂正回路213によるエラー訂正機能の保証が容易になる。

【0092】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0093】例えば、前記不揮発性記憶回路は救済回路における救済情報の格納の他に、プログラマブルロジックを構成するための不揮発性記憶素子等に広く適用することが可能である。不揮発性記憶トランジスタの直列接続段数は2段に限定されずそれ以上であってもよい。不揮発性記憶トランジスタに対する書き込みと消去の関係は相対的な概念であり、上記とは逆にフローティングゲートに電子を注入することを消去と定義してもよく、何れであっても不揮発性記憶トランジスタの閾値コントロールをプログラムという概念で総称する。システムLSIの内蔵機能モジュールの種類、オートパワーオフ制御はシ

28

ステムLSI内蔵のタイマカウンタを利用し、或いは専用のカウンタ回路を利用して行うことも可能である。また、不揮発性記憶トランジスタに対する書き込み、消去、読み出しの動作電圧は以上の説明に限定されず適宜変更可能である。本発明に係る半導体装置はシステムLSI、マイクロコンピュータなどに限定されず、DRAM、SRAM等の単体メモリLSIの救済回路などにも適用することができる。

【0094】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0095】すなわち、フリップフロップ（セルフラッチ）のようなスタティックラッチ形態で接続された不揮発性記憶トランジスタに記憶情報を読み出した後、直ちに不揮発性記憶トランジスタへの電圧印加を停止できるようにするから、電圧印加期間を短くして、長期に亘る情報保持性能を向上させることができる。

【0096】不揮発性記憶回路は、単層のポリシリコン層を用いた不揮発性記憶トランジスタを複数個直列接続した形態で利用するから、スタティックラッチ形態に接続された不揮発性記憶トランジスタのデバイス構造を簡素化することができ、さらに、通常のロジック回路プロセス、あるいは汎用DRAMプロセスへ全く新たなプロセスを追加することなく、読み出し不良の発生率を著しく低下できる不揮メモリを搭載した半導体装置の実現を可能にする。

【0097】不揮発性記憶トランジスタから読み出したデータを揮発性のデータラッチ回路で保持し、データラッチ回路で保持したデータを誤り符号訂正回路で処理するから、記憶情報の信頼性を更に向上させることができる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置が有する不揮発性メモリを救済情報の記憶回路として構成した一例を示す説明図である。

【図2】一つの不揮発性記憶回路の一例を示す回路図である。

【図3】不揮発性記憶トランジスタに対する書き込み、消去、読み出し、待機時の夫々における電圧状態を例示する説明図である。

【図4】図1の不揮発性メモリの更に詳細な一例を示す回路図である。

【図5】読み出し制御回路の読み出し動作をリセット指示に応答させて行う場合のオートパワーオフ機能の実現例を示すブロック図である。

【図6】リセット端子の無い半導体装置におけるオートパワーオフ機能の実現例を示すブロック図である。

【図7】不揮発性記憶トランジスタのデバイス断面構造を概略的に示す縦断面図である。

29

【図8】不揮発性記憶回路の詳細な平面レイアウトを示す平面図である。

【図9】不揮発性記憶回路の別の例を示す回路図である。

【図10】図9の不揮発性記憶トランジスタに対する書き込み、消去、読み出し、待機時の夫々における電圧状態を例示する説明図である。

【図11】図9の不揮発性記憶回路を採用した不揮発性メモリの詳細な一例を示す回路図である。

【図12】図9の不揮発性記憶回路の詳細な平面レイアウト図である。

【図13】図12のA-A'位置での縦断面構造を示す縦断面図である。

【図14】2種類のゲート酸化膜を有するセルフラッチ型不揮発性メモリの一例を示す回路図である。

【図15】高電圧系トランジスタと低電圧系トランジスタを有する半導体装置の中間工程を経た段階の縦断面図である。

【図16】図15の高電圧系トランジスタと低電圧系トランジスタを有する半導体装置の中間工程の後の完成状態の縦断面図である。

【図17】本発明に係る半導体装置の一例であるシステムLSIのチップ平面図である。

【図18】図17のシステムLSIに対するテストイングフローの説明図である。

【図19】本発明に係る半導体集積回路の一例である1GビットDRAMの概略的なチップ平面図である。

【図20】図19のDRAMのテストイングフローを示す説明図である。

【図21】フラッシュヒューズモジュールを備えたメモリを例示するブロック図である。

【図22】本発明に係る半導体集積回路の更に別の例であるフラッシュヒューズモジュールのブロック図である。

【図23】フラッシュヒューズモジュールに含まれる不揮発性記憶ブロック7bFile#0~7bFile#5の一例を示すブロック図である。

【図24】ハミングコードジェネレータによるハミングコード生々論理の一例を示す説明図である。

【図25】本発明者が検討した不揮発性記憶トランジスタ

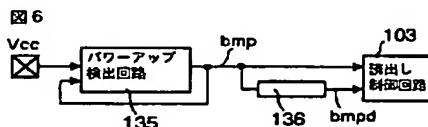
30

\*タを含むフリップフロップ回路の説明図である。

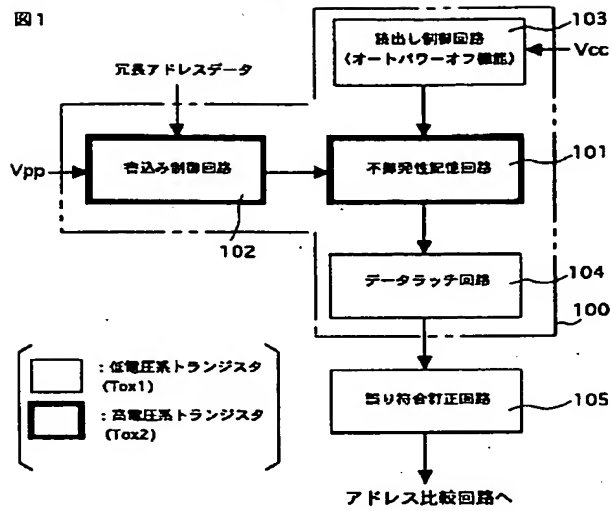
【符号の説明】

100	不揮発性メモリ
101	不揮発性記憶回路
102	書き込み制御回路
103	読み出し制御回路
104	データラッチ回路
105	誤り符号訂正回路
110, 111	負荷MISトランジスタ
112, 113	不揮発性記憶トランジスタ
112A, 112B, 113A, 113B	不揮発性記憶トランジスタ
114, 115	出力ノード
116, 117	制御ノード
116B, 117B	制御ノード
116A, 117A	プログラムノード
118, 119	相補データ線
130	リセット制御回路
131	システムコントローラ
133	CPU
RST	リセット信号
CLK	クロック信号
rst1	初期化信号
rstd	遅延初期化信号
135	パワーアップ検出回路
bmp	パルス信号
bmpd	遅延パルス信号
141	ソース
142	ドレイン
144, 144A	フローティングゲート
145	コントロールゲート
155	CPU
154	DRAM
156	キャッシュメモリ (SRAM)
162, 163	救済アドレス情報記憶用の不揮発性メモリ
170	DRAM
176	レーザーヒューズ
178	電気ヒューズ
199	フラッシュヒューズモジュール

【図6】



【図1】

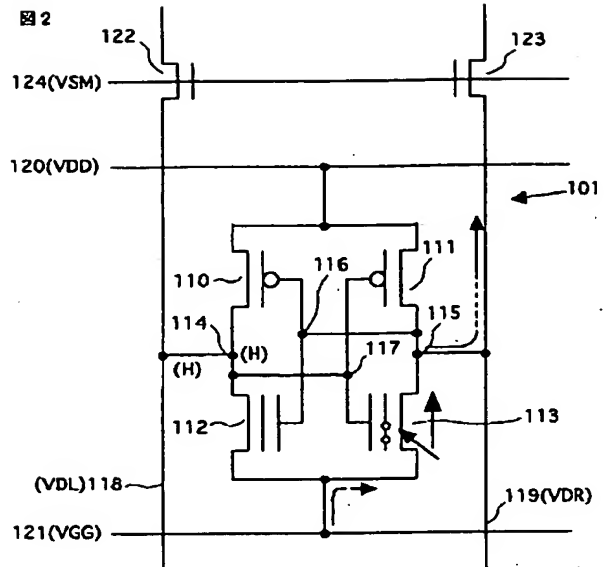


【図3】

図3

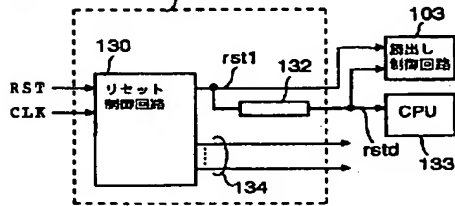
	VDL	VDR	VDD	VGG
書き込み	5V	0V	5V	5V
消去	open	open	open	5V
読み出し	open	open	0→1.8V	0V
待機時	0V	0V	0V	0V

【図2】

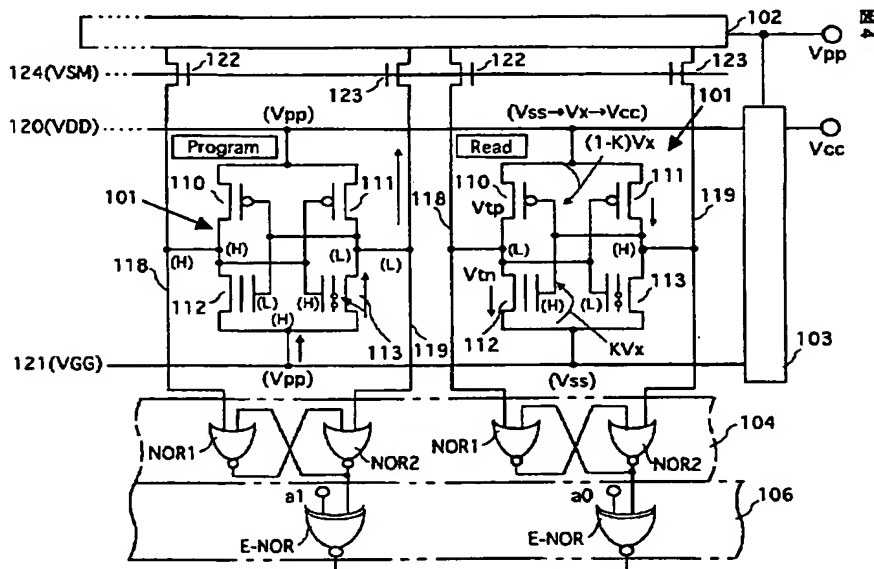


【図5】

図5

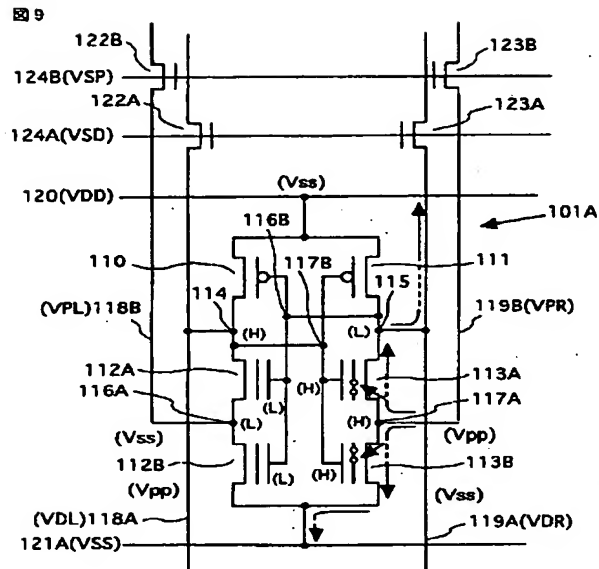


【図4】

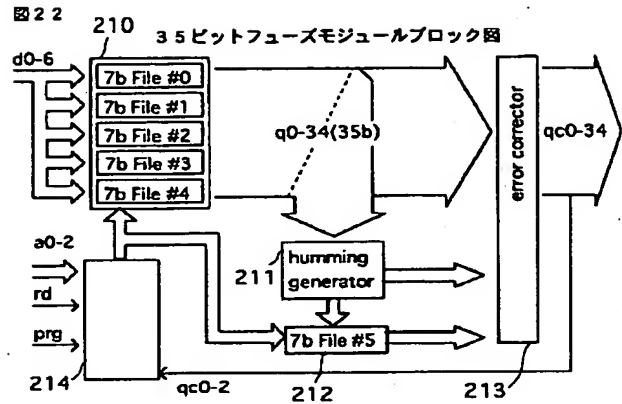




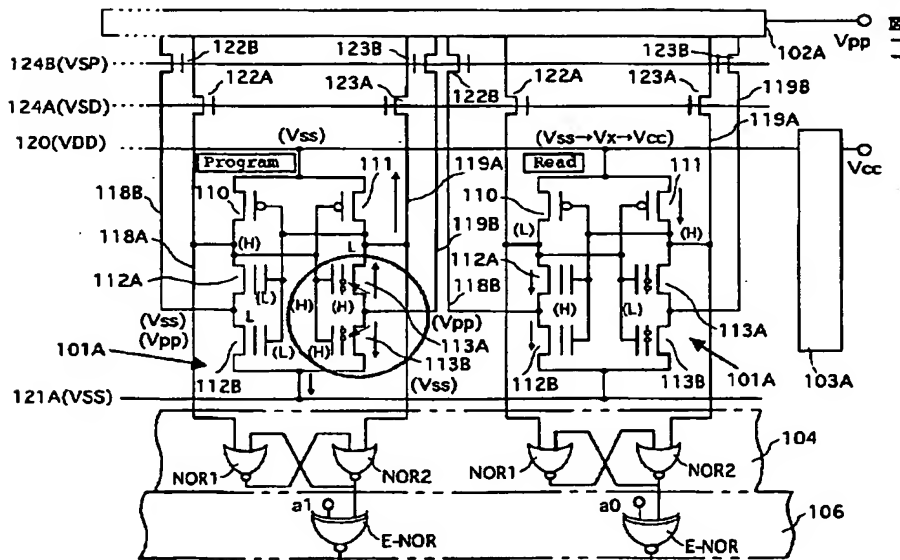
【図9】



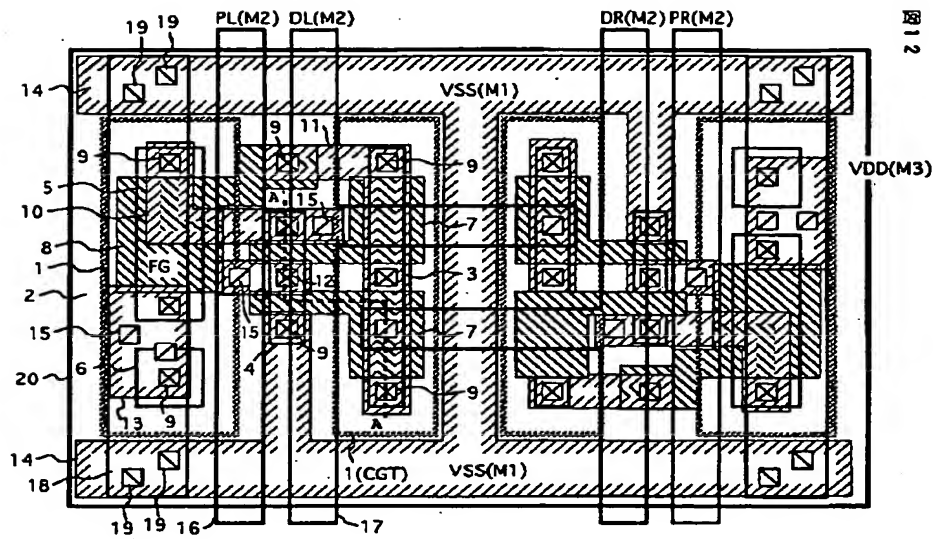
【図22】



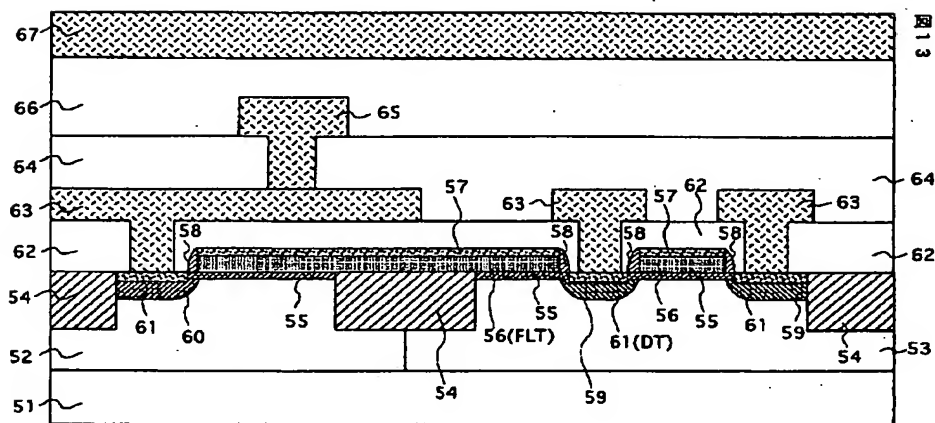
【図11】



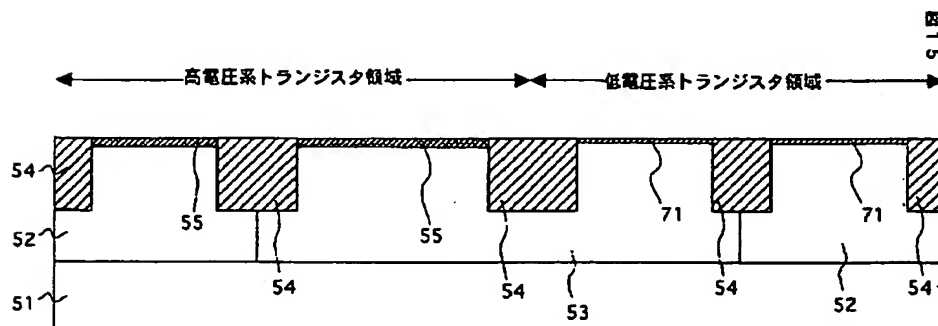
【図12】



【図13】

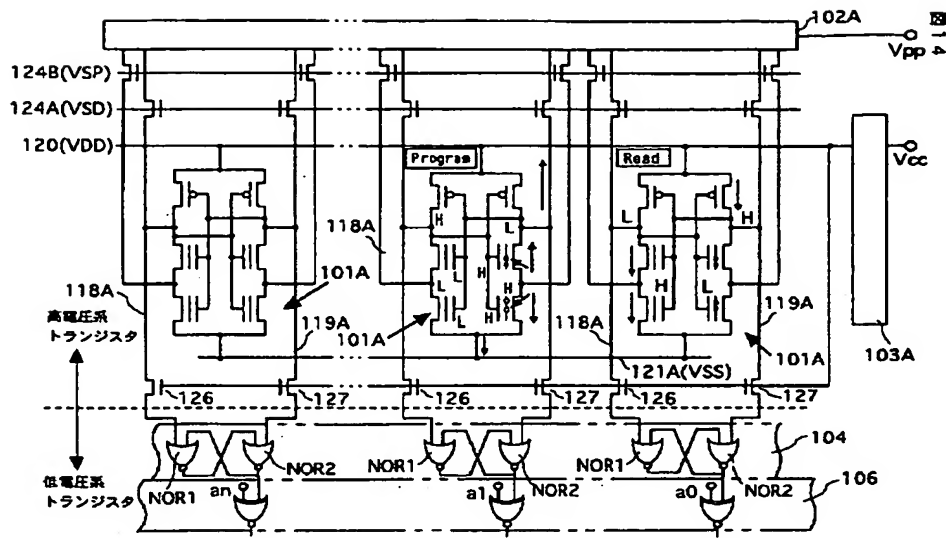


【図15】

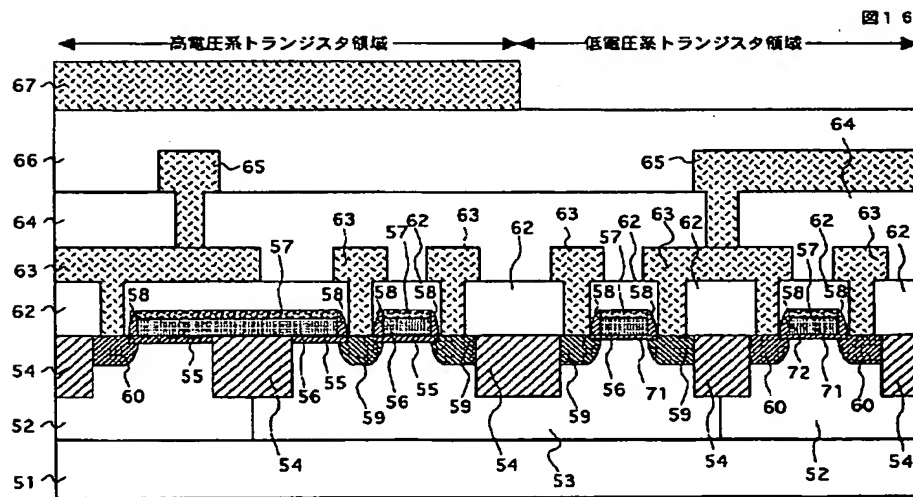




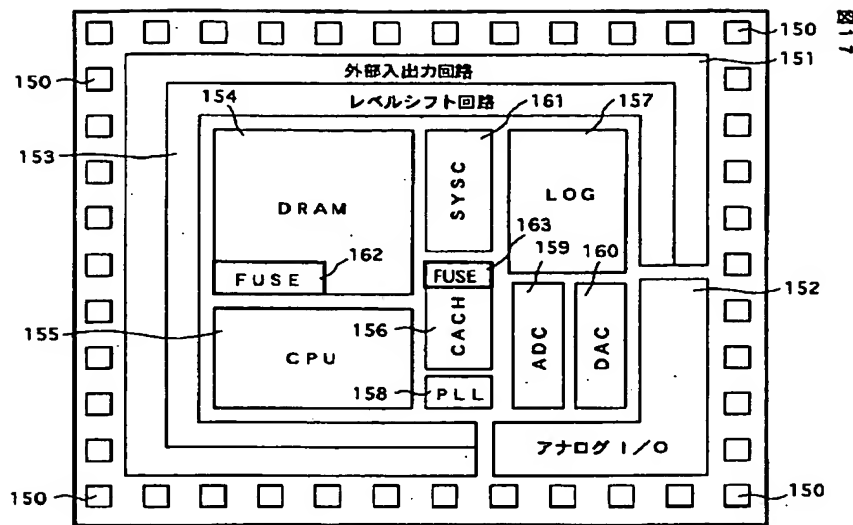
【図14】



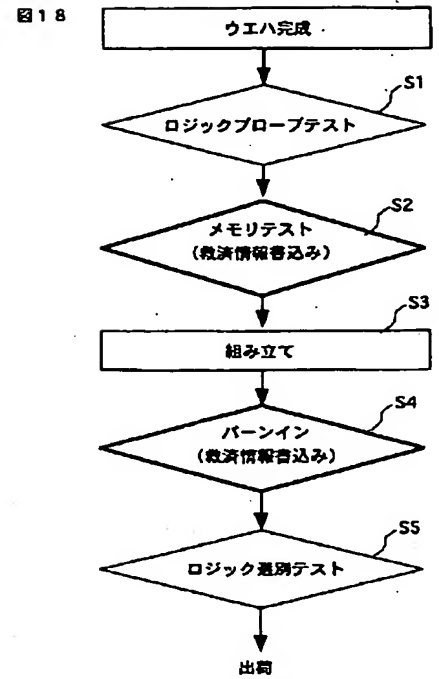
【図16】



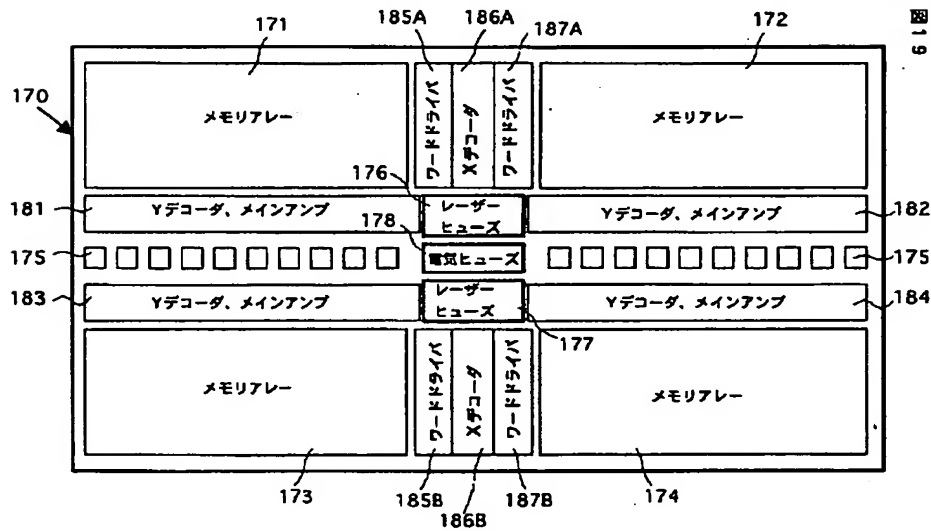
【図17】



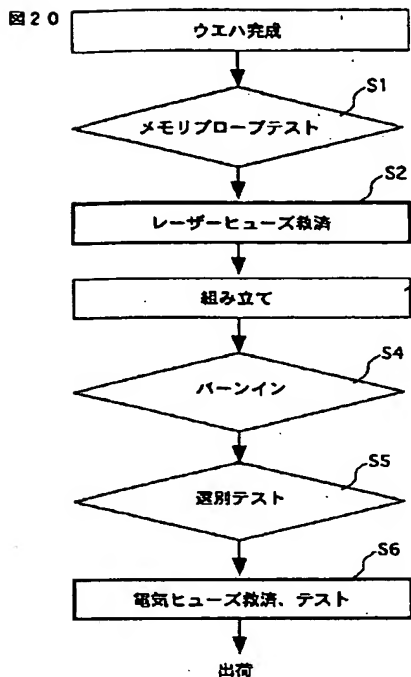
【図18】



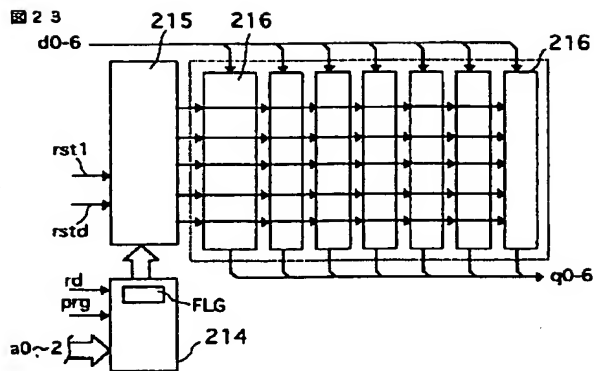
【図19】



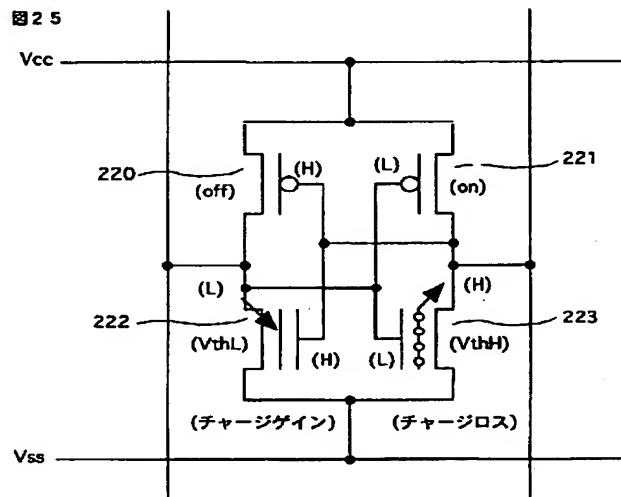
【図20】



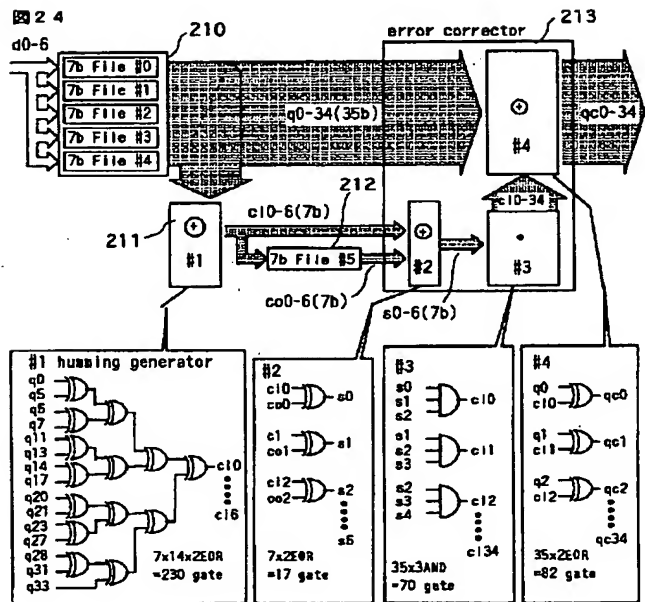
【図23】



【図25】



【図24】



## フロントページの続き

(51)Int.Cl. 7	識別記号	F I	ターマコード* (参考)
H 0 1 L 21/8244		G 1 1 C 17/00	6 2 3 Z
27/11			6 2 5
21/8247			6 3 9 B
27/115		H 0 1 L 27/10	3 8 1
27/10	4 6 1		4 3 4
	4 9 1	29/78	3 7 1
29/788			
29/792			

F ターム (参考) 5B025 AA03 AC03 AC04 AD05 AD13  
 AE08  
 5F001 AA03 AB06 AD10 AE02 AE03  
 AE08 AF06 AH07  
 5F083 BS13 BS15 BS50 EP02 EP22  
 LA02 LA10 LA21 LA30 NA01  
 ZA10 ZA12 ZA13 ZA14 ZA28  
 5L106 AA01 AA02 AA10 BB12 CC09  
 CC26 CC36 EE02 FF01 GG00

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**